

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
6. Mai 2004 (06.05.2004)

PCT

(10) Internationale Veröffentlichungsnummer
WO 2004/038802 A2

(51) Internationale Patentklassifikation⁷: **H01L 27/12**,
21/84

(21) Internationales Aktenzeichen: PCT/DE2003/003354

(22) Internationales Anmeldedatum:
10. Oktober 2003 (10.10.2003)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:
102 48 723.5 18. Oktober 2002 (18.10.2002) DE

(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von
US): INFINEON TECHNOLOGIES AG [DE/DE]; St.
Martin-Strasse 53, 81669 München (DE).

(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): BREDERLOW, Ralf
[DE/DE]; Von-Erckert-Str. 27, 81827 München (DE).
HARTWICH, Jessica [DE/DE]; Unterbibberger Str. 25,
85579 Neubiberg (DE). PACHA, Christian [DE/DE];
Asenweg 12, 81739 München (DE). RÖSNER, Wolf-
gang [DE/DE]; Sudetenstr. 23, 85521 Ottobrunn (DE).
SCHULZ, Thomas [DE/DE]; Annette-Kolb-Anger 13/5,
81737 München (DE).

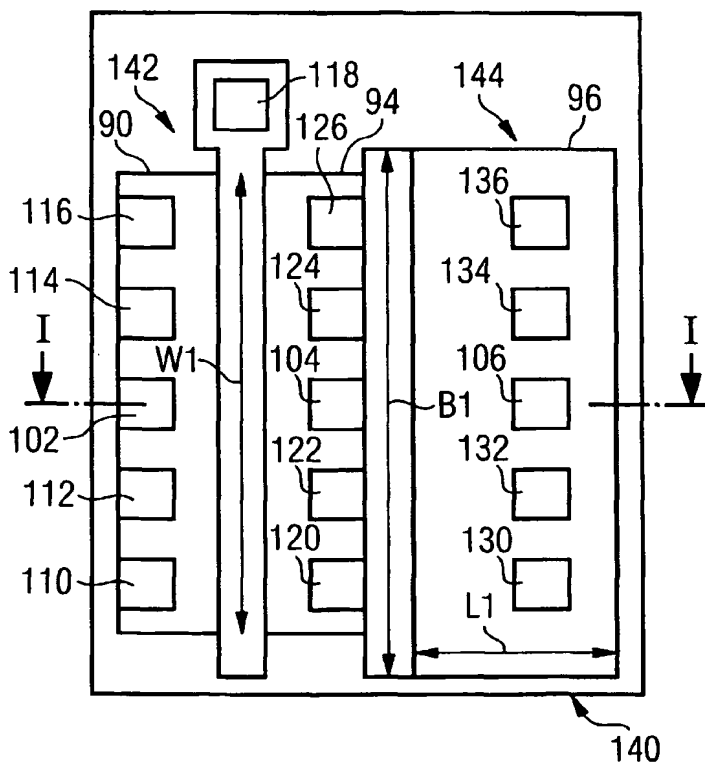
(74) Anwälte: FRANK, Karl usw.; Patentanwälte Kinder-
mann, Postfach 1330, 85627 Grasbrunn (DE).

(81) Bestimmungsstaaten (national): CN, JP, KR, SG, US.

[Fortsetzung auf der nächsten Seite]

(54) Title: INTEGRATED CIRCUIT ARRANGEMENT COMPRISING CAPACITORS AND PREFERABLY PLANAR TRANSISTORS, AND PRODUCTION METHOD

(54) Bezeichnung: INTEGRIERTE SCHALTUNGSANORDNUNG MIT KONDENSATOREN UND MIT VORZUGSWEISE PLANAREN TRANSISTOREN UND HERSTELLUNGSVERFAHREN



(57) **Abstract:** Disclosed is an integrated circuit arrangement (140), among others, comprising a preferably planar transistor (142) and a capacitor (144). The lower electrode of the capacitor (144) is disposed within an SOI substrate along with a channel section of the transistor (142). The inventive circuit arrangement (140) is easy to produce and has excellent electronic properties.

(57) **Zusammenfassung:** Erläutert wird unter anderem eine integrierte Schaltungsanordnung (140), die einen vorzugsweise planaren Transistor (142) und einen Kondensator (144) enthält. Die untere Elektrode des Kondensators (144) ist gemeinsam mit einem Kanalbereich des Transistors (142) in einem SOI-Substrat angeordnet. Die Schaltungsanordnung (140) ist einfach herzustellen und hat hervorragende elektronische Eigenschaften.

WO 2004/038802 A2